

#2 or #5

JPA 63-271394

[OBJECT] To ~~provide~~ a cursor control device which has a simple hardware structure and is capable of displaying, with high speed, a variety of cursors with different forms.

[SOLUTION] A cursor control device comprises a display means which displays image information and a cursor; a first memory which stores cursor data including data related to the forms of cursors; a control means which controls the position of cursors based on the cursor data stored in the first memory; a second memory which temporarily stores data output from the control means; a computation means which computes the cursor data output from the second memory and the display data based on the image information; and a processing means which changes the size of a cursor.

[SELECTED FIGURE] Figure 1

⑫ 公開特許公報(A)

昭63-271394

⑬ Int. Cl.⁴G 09 G 1/00
G 06 F 3/14

識別記号

380

庁内整理番号

E-6974-5C
7341-5B

⑭ 公開 昭和63年(1988)11月9日

審査請求 未請求 発明の数 1 (全9頁)

⑮ 発明の名称 カーソル制御装置

⑯ 特 願 昭62-106911

⑰ 出 願 昭62(1987)4月30日

⑱ 発 明 者 峠 田 政 美 神奈川県川崎市幸区柳町70番地 株式会社東芝柳町工場内
⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地
⑳ 代 理 人 弁 理 士 三 好 保 男 外1名

明 細 書

1. 発明の名称

カーソル制御装置

2. 特許請求の範囲

(1) 画像情報とカーソルとを表示する表示手段と、
前記カーソルの形状に関するデータを有したカーソルデータを記憶する第1の記憶手段と、

この第1の記憶手段に記憶されたカーソルデータを基にカーソルの位置を制御する制御手段と、
この制御手段からの出力データを一時的に記憶する第2の記憶手段と、

この第2の記憶手段から出力されたカーソルデータと前記画像情報に基く表示データとの演算を行なう演算手段と、

前記カーソルの大きさを変更する処理手段と

を有することを特徴とするカーソル制御装置。

(2) 前記処理手段は、前記表示手段で表示する際に、縦方向と横方向にそれぞれ所定の倍率で拡大することを特徴とする特許請求の範囲第1項に記載のカーソル制御装置。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

本発明は、例えば情報処理装置のディスプレイ装置の画面上で文字や記号等の入力位置を示すカーソルの制御を行なうカーソル制御装置に関する。

(従来の技術)

従来、パーソナルコンピュータやワークステーション等の各種コンピュータ機器において、ディスプレイ装置の画面上の例えばカーソルを所定の位置に移動する際の入力装置には、いわゆるポインティングデバイスとしてのキーボード上のカーソルキーの他、マウス、タブレット、タッチセンサ、ライトペン等が用いられている。

これらのポインティングデバイスは、上記ディスプレイ画面上のカーソルを移動して、画面上に表示されたアイコン(絵文字)等を選択することで上記コンピュータ機器に各種情報の入力等を行なうようにしていた。

またカーソルの形状は上記コンピュータ機器におけるカーソルの使用目的によって異なり、例えばマウスを用いてアイコンの選択や座標点の指示を行なうような場合には、データの入力位置を正確に指示するために矢印型のカーソルを用い、また文書等の作成を行なうような場合には点滅を繰り返す一文字分の大きさの長方形型のものやアンダーライン型のカーソル等がそれぞれ使用されていた。

このカーソルの表示方法としては、従来簡便な手段としてソフトウェア処理による方法と、カーソルのANDデータ、XORデータを用いて多数のカーソル形状を表示し得るハードウェア処理による方法とがそれぞれ使用されていた。

(発明が解決しようとする問題点)

しかしながら、ソフトウェア処理による方法は、カーソルを表示するまでに時間がかかり、またカーソルの移動時にはCPUを占有してしまうため、並列して他の処理を行なうことができなかった。

(問題点を解決するための手段)

上記目的を達成するため、本発明は画像情報とカーソルとを表示する表示手段と、前記カーソルの形状に関するデータを有したカーソルデータを記憶する第1の記憶手段と、この第1の記憶手段に記憶されたカーソルデータを基にカーソルの位置を制御する制御手段と、この制御手段からの出力データを一時的に記憶する第2の記憶手段と、この第2の記憶手段から出力されたカーソルデータと前記画像情報に基づく表示データとの演算を行なう演算手段と、前記カーソルの大きさを変更する処理手段とを有して構成した。

(作用)

本発明におけるカーソル制御装置においては、第1の記憶手段から読出されたカーソルデータを基に、制御手段を用いて例えば表示手段であるディスプレイ画面上におけるカーソルの位置等の制御を行ない、このカーソルの位置に関するデータ等を含むカーソルデータを一時的に第2の記憶手段に記憶した後カーソルを所定の大きさに拡大し

さらにカーソルの移動を高速化するためにXOR演算によるカーソル表示を行なうと、カーソルの形状が制限されるという欠点が生じた。

またハードウェア処理による方法は、ハードウェアを例えばシフトレジスタで構成して、1ドット単位でディスプレイ装置に出力する場合、ディスプレイ装置の解像度が上がってくるとディスプレイ装置のドット密度が上がり、従ってカーソルを適当な大きさに表示するにはカーソルのデータ量が増大し、さらに解像度を上げるために動作周波数を高くするとCMOS、TTL等の回路素子では対応できなくなり高速で動作する回路素子を用いてハードウェアを構成する必要が生じた。そのため、ハードウェアの規模が拡大し、複雑化するという欠点が生じた。

本発明は、上記に鑑みてなされたもので、その目的としては、簡単なハードウェア構成で種々の形状のカーソルを高速で表示できるカーソル制御装置を提供することを目的とする。

[発明の構成]

てから、演算手段を用いて画像情報に基づく表示データとの演算を行なうことによって画像情報に基づく画像上に表示されたカーソルの状態を制御することができる。

(実施例)

以下、図面を用いて本実施例の一実施例を説明する。

第1図は、本実施例に係るカーソル制御装置の概略の構成を示すブロック図である。このカーソル制御装置は、画像情報を記憶するビットマップメモリ1、ディスプレイの同期信号や表示アドレスを発生する表示制御部(以下CRTCと略す)3、CRTC3からの表示アドレスとビットマップメモリ1のリードモディファイライト用アドレスとの選択を行なうセクタ2、カーソルの表示位置をセットするレジスタ8A、カーソルの表示位置とCRTC3からの表示アドレスとの比較を行ない、等しい場合に信号を出力する比較器9、カーソルの種類を選択するレジスタ8B、カーソルのデータを格納し記憶する記憶手段であるカー

ソルレジスタ7、カーソルレジスタ7から出力されるデータのシフト処理を行い、カーソルの位置合せを行なうデータシフト部6、カーソルデータの中のANDデータを1ライン分記憶するANDデータバッファ5A、XORデータを1ライン分記憶するXORデータバッファ5X、ビットマップメモリ1から出力される表示データとANDデータバッファ5AおよびXORデータバッファ5Xに格納されたカーソルデータとの間で論理演算を行いカーソルを含んだ表示データを出力する演算部4、この演算部4から出力される複数ビットの平行データとして1ビット単位のデータとして同期してディスプレイ21に送るシフトレジスタ11、シフトレジスタ11より出力された画素データを表示するディスプレイ21、このカーソル制御装置全体のタイミングをコントロールするタイミングコントローラ10より構成される。

次に、本実施例の信号の流れに従って、各構成部の作用を説明する。

ビットマップメモリ1はデュアルポートとなっ

データは、第2図(a)に示すようにANDデータ、XORデータそれぞれ32×32ビットで構成され、この組み合わせによりカーソルを構成する。このとき、ANDデータバッファ5A、XORデータバッファ5Xは、この32×32ビットのデータのうち、Xラインの32ビットのデータをデータシフト部6においてシフト処理を行い、ビットマップメモリ1から出力される16ビットのデータ内で位置合せをした結果をそれぞれ格納している。ただし、カーソルデータは表示時のX、Y、それぞれ1/2のデータで構成し、表示時に2倍に拡大するため、表示データ10バイト(80ビット)に対して5バイト(40ビット)のカーソルデータで構成される。これを第2図(a)に示す。

ここで、現在、ANDデータバッファ5A、XORデータバッファ5Xにはそれぞれ、5バイトのカーソルデータが格納されているものとする。CRTC3より出力される表示アドレスと、あらかじめ、CPU等からセットされたレジスタ8Aのカーソル表示アドレスとの比較を比較器9にお

ており、表示データ出力用のポートとリード、ライト用のポートがある。ここで、ビットマップメモリ1内のデータの読み出しおよび書き換えは32ビット平行のリードライトポートより行われ、その時のアドレスはCPU等からセクタ2を介してビットマップメモリ1に入力される。一方、表示データはCRTC3から出力される表示アドレスを水平同期期間にセクタ2を介してビットマップメモリ1に入力し、1ライン分の表示データをビットマップメモリ1内のシフトレジスタにロードし、クロックに同期して16ビット平行のデータとして演算部4へ入力する。この16ビットの表示データは演算部4においてANDデータバッファ5AおよびXORデータバッファ5Xから出力されたカーソルデータと演算を行い、演算された結果はシフトレジスタ11において平行/シリアル変換されディスプレイ21に表示される。

次に、カーソルの表示方法について説明する。

カーソルレジスタ7に記憶されているカーソル

いて行い、X方向のカーソル表示タイミング信号(XCSR)、Y方向のカーソル表示タイミング信号(YCSR)を出力する。この時のカーソルの表示状態を第3図に示す。ここで、カーソルレジスタ7に記憶されたカーソルデータは、X、Yそれぞれ32×32ビットで構成されているが、表示時に2倍に拡大されて64×64ビットの大きさとなっている。また、カーソルの表示位置は2ドット単位で制御でき、X方向のカーソル表示タイミング信号(XCSR)は、表示データの出力ビット数が16ビット単位となっているため、5ワード(80ビット)の長さとなっている。

第4図は水平同期信号(HSYNC)とカーソル表示タイミング信号(CSREN0)とX方向のカーソル表示タイミング信号(XCSR)、Y方向のカーソル表示タイミング信号(YCSR)の関係を表すタイミングチャートを示す。

本実施例では、ディスプレイ21はインタレースを行っているものとし、そのため、X方向のカーソル表示タイミング信号(YCSR)がイネー

ブルの期間には、X方向のカーソル表示タイミング信号(XCSR)が32回イネーブルとなり、したがって、2フィールド(1フレーム)でY方向64ドットのカーソルを構成する。

次に、カーソルANDデータとカーソルXORデータの読み出しタイミングについては、第5図に示すように、ANDデータバッファ5A、XORデータバッファ5Xにバッファアドレス(BFAD0~BFAD2)および、リードイネーブル信号(ANDRDO、XORRDO)を考え、16ビットの表示データ(DD00~DD15)の出力と同期をとってANDデータ(ANDMK0~ANDMK7)、XORデータ(XORMK0~XORMK7)をそれぞれ8ビット単位で出力する。

これらの信号は演算部4に入力され、演算処理を行い、さらに、シフトレジスタ11において、パラレル~シリアル変換されディスプレイ21に表示される。ここで、演算部4は第6図に示すように構成される。すなわち、表示イネーブル信号

(DSEN1)がイネーブル状態の時のみ、ディスプレイ21に表示され、カーソル表示タイミング信号(CSRENO)がディスエーブルの時は表示データ(DD00~DD15)がそのまま表示され、カーソル表示タイミング信号(CSRENO)がイネーブルのときは、表示データ(DD00~DD15)とANDデータ(ANDMK0~ANDMK7)、XORデータ(XORMK0~XORMK7)の演算結果、すなわち、カーソルが表示される。ここで、CPUは16ビットの表示データ(DD00~DD15)の出力のタイミングをとるクロック信号であり、表示データ(DD00~DD15)2ビットに対して同一のANDデータ(ANDMK0~ANDMK7)、XORデータ(XORMK0~XORMK7)を用いることにより、カーソルデータの2倍拡大表示を行っている。

次に、ANDデータバッファ5Aおよび、XORデータバッファ5Xに格納するカーソルデータの生成方法について説明する。カーソルデータは

32X32ビットのANDデータおよびXORデータより構成され、カーソルレジスタ7にあらかじめ用意されている。これらカーソルデータと表示との関係は、第7図に示すように、4種類の出力状態を作ることができ、これにより、カーソルを構成する。

また、カーソルレジスタ7では、上位アドレス7ビット、すなわち、レジスタ8Bにより、カーソルを128種類の中から選択することができる。また、ANDデータとXORデータはAND/XOR信号で切り換え、X方向、Y方向のデータはカーソルXアドレス(RXA1、RXA0)および、カーソルYアドレス(RYA4~RYA0)で切り換える(第8図参照)。

第5図において、カーソル表示タイミング信号(CSRENO)がイネーブル状態のとき、カーソルYアドレス(RYA4~RYA0)が、(RYAD-1)のカーソルデータを表示していたとすると、カーソル表示後、カーソルXアドレス(RXA1、RXA0)は"0"、カーソルYレ-

ジスタ(RYA4~RYA0)は(RYAD)となり、また、AND/XOR信号はANDデータをさして、次のラインのカーソルデータの最初の8ビットをカーソルレジスタ7より読み出す。カーソルレジスタ7より読み出されたカーソルデータ(A0~A7)は、データシフト部6に入力され、カーソルの表示位置を示すレジスタ8AのXアドレス下位3ビット(XA2~XA1)によりシフト処理が行われ、ANDデータバッファ5Aに8ビットのデータが格納される。

以下、データシフト部6の構成を第9図に描いて説明する。このシフト部6は8ビットのパレルシフト61と2個の8ビットレジスタ63、65および、セレクト67より構成される。

パレルシフト61はカーソル位置を示すアドレス(XA2~XA1)によりシフト処理(ローテーション)を行う回路であり、パレルシフトイネーブル信号(BSENO)とにより、第10図に示す出力結果(B0~B7)を得る。このパレルシフト61により得られた結果(B0~B7)を

同一のクロック(TMCK)により2段のレジスタにラッチし、セクタ67により、第11図に示すごとく、1段目のレジスタ63の出力(C0~C7)と2段目のレジスタ65の出力(D0~D7)からカーソルの表示Xアドレス(XA2~XA0)によって選択を行い出力結果(E0~E7)を得る。

次に、この処理を簡単な例を用いて説明する。第12図(4)に第9図におけるカーソルYアドレス(RYA4~RYA0)が(RYAD)のときのカーソルANDデータを示す。

最初、カーソルレジスタ7からは(AT0)のデータが出力されているが、バレルシフトイネーブル信号(BSENO)がディスエイブルであるため、バレルシフト61の出力(B0~B7)はオール"1"となる。次に、バレルシフトイネーブル信号(BSENO)がイネーブルになると、カーソルの表示Xアドレス(XA2~XA0)が"3"であるので、バレルシフト61において、3ビット右にローデイトを行い、第12図(4)-2

の結果を得る。次のクロック第12図(4)-3において、カーソルレジスタ7からは(AT1)のデータが出力され、バレルシフト61において、3ビット右にローデイトされる。この時、1段目のレジスタ63には(AT0)のカーソルデータをローデイトされたデータが格納され、2段目のレジスタ65にはその前の1段目のレジスタ63の出力オール"1"が格納されている。したがって、セクタ67では、左側3ビットは2段目のレジスタ65の出力データを出力し、以下5ビットには、1段目のレジスタ63のデータを出力する。

この時、ANDデータバッファ5Aのアドレス(BFAD2~BFAD0)を"0"とし、ANDデータバッファ5A書き込みクロック(ANDWTO)を入力することにより、1番目のカーソルANDデータがANDデータバッファ5Aに格納される。この動作を繰り返すことにより、1ライン分のカーソルANDデータ(5バイト)がANDデータバッファ5Aに格納され、続いて、同様にして、1ライン分のカーソルXORデータ

(5バイト)がXORデータバッファ5Xに格納される。この時のANDデータバッファ5Aの内容を第12図(4)に示す。これより、カーソルX表示アドレスにより、カーソルデータが右に3ビットシフトし、カーソルの位置合せができていくことがわかる。

以上のように、この処理により、カーソル表示後、次のラインのカーソルデータをバッファに用意しておくことにより、つぎの水平同期信号で次の走査ラインにきたとき、直ちにカーソルを表示することができる。なお、カーソルの最終ラインの表示後、カーソルの先頭ラインのデータをバッファ5A、5Xに格納しておくことにより、次のフィールドにおいてカーソルの先頭ラインを表示することができる。

次に、カーソルの拡大処理について詳細に説明する。本実施例においては、カーソルデータをX、Yそれぞれ、1/2倍に縮小しているために、2倍に拡大を行う。この時、Y方向の拡大は32X32ビットのオリジナルカーソルデータを2ライ

ンに対して同一のデータを用いることにより簡単に可能である。

次に、X方向については、ビットデータを2回ずつ繰り返すことにより可能である。(第13図参照)

ハードウェア的には、Y方向に関しては、ノンインタレースの表示装置においては、カーソルデータ記憶部より2ライン続けて同一のカーソルデータを読み出して処理すればよく、インタレースの場合も偶数ライン、奇数ラインで同一のデータを読み出すように回路構成すればよい。また、X方向に関しては、演算部等においてビットマップメモリ1の内容と合成する際、第6図に示す様に、ビットマップメモリ1からの表示データの2ビットに対して同一のカーソルデータを用いることにより簡単に拡大可能である。したがって、このような方法により、X、Y方向それぞれ、2倍の拡大に限らず、整数倍の拡大を可能にすることができる。

以上のようにして、カーソル制御装置を構成す

ることにより、ハードウェアの規模を小規模にすることができ、また、縮小カーソルデータの拡大による画質劣化については、たとえば、ドット数が1000X1200の表示装置で32X32のカーソル表示で十分であれば、表示面積がほぼ等しい2000X2400の表示では64X64のカーソル表示で良く、この際、32X32のカーソルデータを用いてX、Yそれぞれ、2倍に拡大して64X64のカーソルとして表示すれば、カーソルの表示品質としては1000X1200の表示装置のものと同等であると考えられるため、カーソルデータは1/2のもので十分であり、これにより、ハードウェアが簡略化され、簡単に安価なカーソル制御装置を構成することができる。

以上説明したように本実施例によれば、カーソルのシフト処理をパレルシフトと2個のレジスタとセレクトにより構成することにより、数十ビットものシフトレジスタによってカーソルデータのシフト処理回路を構成する必要はなく、また、シフト後のバッファを持つことにより、このシフト

回路がANDデータとXORデータに対して共有できるため回路規模を縮小することができ、さらに、高周波数のビデオクロックのディスプレイに対しても低周波数のクロックで回路構成できるため、低コストで小規模なカーソル制御装置を提供することができる。

〔発明の効果〕

以上説明したように、本発明によれば、第1の記憶手段にカーソルデータを記憶せしめ、このカーソルデータを基にカーソルの位置等の制御を行なうようにしたので、簡単なハードウェア構成で種々の形状のカーソルを所定の大きさでかつ高速で表示できる等の効果を奏する。

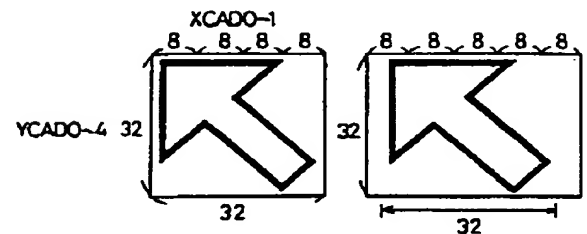
4. 図面の簡単な説明

第1図はカーソル制御装置の概略構成を示すブロック図、第2図はカーソルデータを示す図、第3図はカーソルをディスプレイに表示した状態を示す図、第4図は水平同期信号とカーソルライン信号との関係を表すタイミングチャート、第5図はカーソルデータの表示およびシフト処理等

を示すタイミングチャート、第6図は演算部の詳細なブロック図、第7図はカーソルデータと表示データとの演算結果を説明する図、第8図はカーソルレジスタを示す図、第9図はシフト部の詳細なブロック図、第10図はパレルシフトの動作を示す図、第11図はセレクトの動作を示す図、第12図はシフト部の動作説明をする例、第13図はカーソルデータの拡大処理を説明する図、第14図は従来のカーソル制御装置を示す図である。

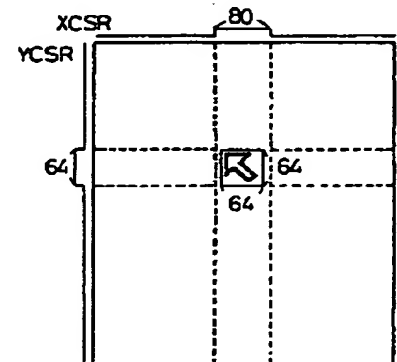
- 1…ビットマップメモリ 4…演算部
- 5A…ANDデータバッファ
- 5X…XORデータバッファ
- 6…シフト部 7…カーソルレジスタ
- 21…ディスプレイ

代理人弁護士 三好保男

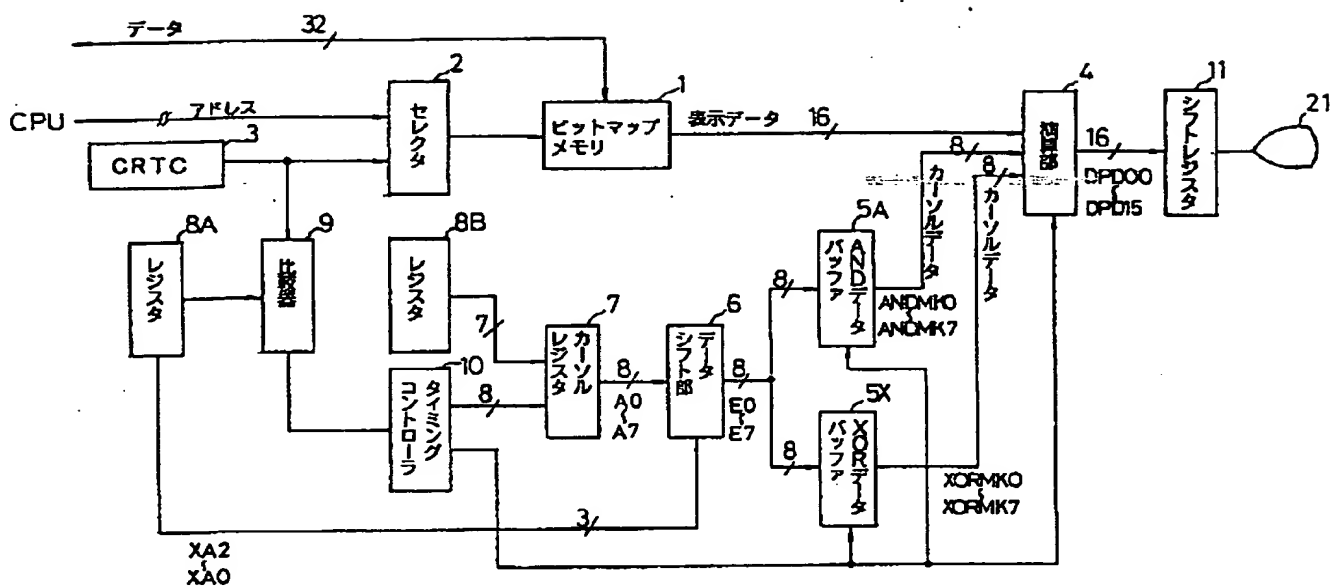


第2図 (a)

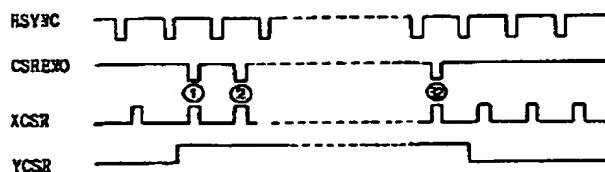
第2図 (b)



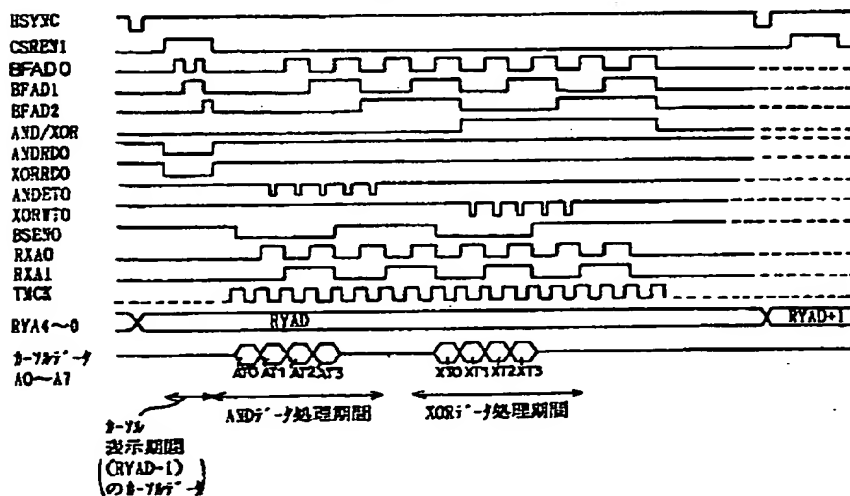
第3図



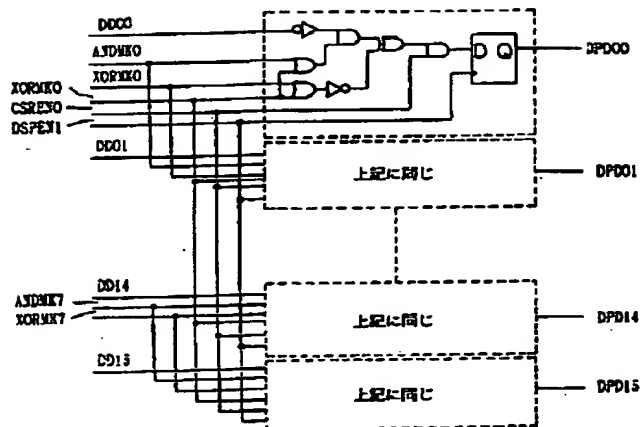
第 1 図



第 4 図



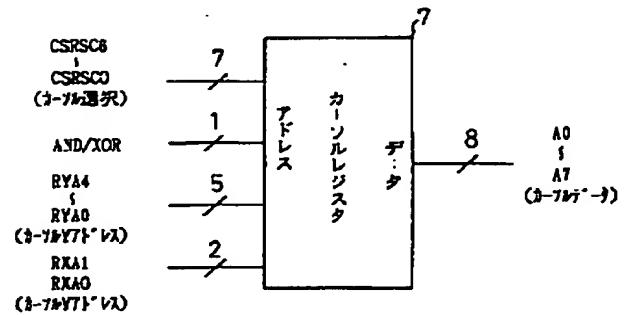
第 5 図



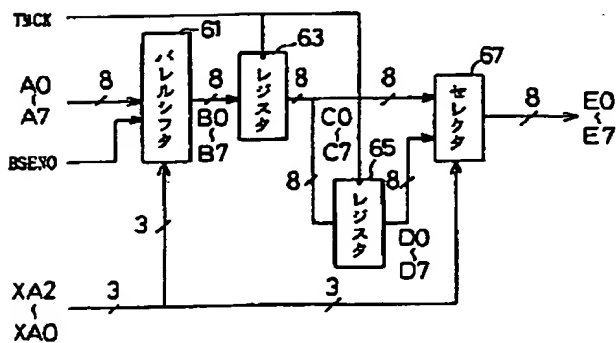
第 6 図

AND 入力	XOR 入力	表示データ (DPD)
1	1	地のまま
1	0	地の反転
0	1	黒
0	0	白

第 7 図



第 8 図



第 9 図

BSEVO	3-7bit 位置			出力データ							
	XA2	XA1	XA0	B0	B1	B2	B3	B4	B5	B6	B7
1	x	x	x	1	1	1	1	1	1	1	1
0	0	0	0	A0	A1	A2	A3	A4	A5	A6	A7
0	0	0	1	A7	A0	A1	A2	A3	A4	A5	A6
0	0	1	0	A6	A7	A0	A1	A2	A3	A4	A5
0	0	1	1	A5	A6	A7	A0	A1	A2	A3	A4
0	1	0	0	A4	A5	A6	A7	A0	A1	A2	A3
0	1	0	1	A3	A4	A5	A6	A7	A0	A1	A2
0	1	1	0	A2	A3	A4	A5	A6	A7	A0	A1
0	1	1	1	A1	A2	A3	A4	A5	A6	A7	A0

第 10 図

XA2	XA1	XA0	出力データ							
			E0	E1	E2	E3	E4	E5	E6	E7
0	0	0	C0	C1	C2	C3	C4	C5	C6	C7
0	0	1	D0	C1	C2	C3	C4	C5	C6	C7
0	1	0	D0	D1	C2	C3	C4	C5	C6	C7
0	1	1	D0	D1	D2	C3	C4	C5	C6	C7
1	0	0	D0	D1	D2	D3	C4	C5	C6	C7
1	0	1	D0	D1	D2	D3	D4	C5	C6	C7
1	1	0	D0	D1	D2	D3	D4	D5	C6	C7
1	1	1	D0	D1	D2	D3	D4	D5	D6	C7

第 11 図

AT0	AT1	AT2	AT3
01010101	00110011	00091111	00011100

図 12 (a)

	A0~A7	B0~B7	C0~C7	D0~D7	E0~E7	16ビット 71'VARPAD
1	01010101	11111111	11111111	11111111	11111111	—
2	01010101	10101010	11111111	11111111	11111111	—
3	00110011	01100110	10101010	11111111	11101010	0
4	00001111	11100001	01100110	10101010	11100110	1
5	00011100	10000001	11100001	01100110	01100001	2
6	11111111	11111111	10000001	11100001	11100001	3
7	11111111	11111111	11111111	10000001	10011111	4
8	11111111	11111111	11111111	11111111	11111111	4

*) XA2~XA0-1の場合

図 12 (b)

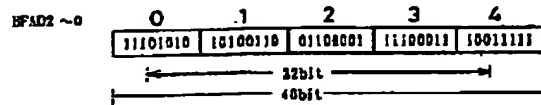


図 12 (c)

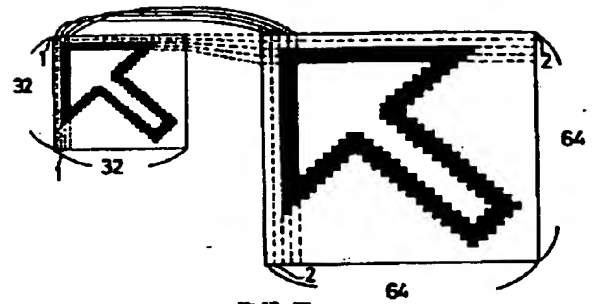


図 13

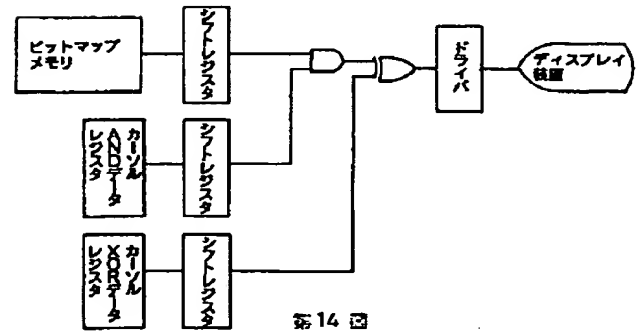


図 14